**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ**

**«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»**

**ІНСТИТУТ ПРИКЛАДНОГО СИСТЕМНОГО АНАЛІЗУ**

**КАФЕДРА СИСТЕМНОГО ПРОЕКТУВАННЯ**

**Дисціпліна:**

**«Комп'ютерна схемотехніка»**

**Звіт**

**з лабораторної роботи №3**

**на тему: Дослідження функціонування регістрів**

**Варіант 11**

Робота виконана студентом гр. ДА-92

Насікан Д. Ю.

28.03.2020

**Керівник**

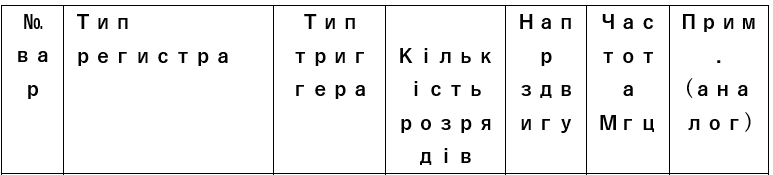
**Доц. Стіканов В. Ю.**

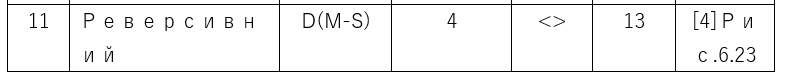
**Київ 2021**

**ЗМІСТ**

1. **ЗАВДАННЯ..................................................................................................3**
2. **ТЕОРЕТИЧНІ ВІДОМОСТІ.....................................................................4**
3. **ХІД РОБОТИ................................................................................................5**
4. **ВИСНОВОК...............................................................................................11**

**ЗАВДАННЯ**





**ПЛАН ВИКОНАННЯ РОБОТИ**

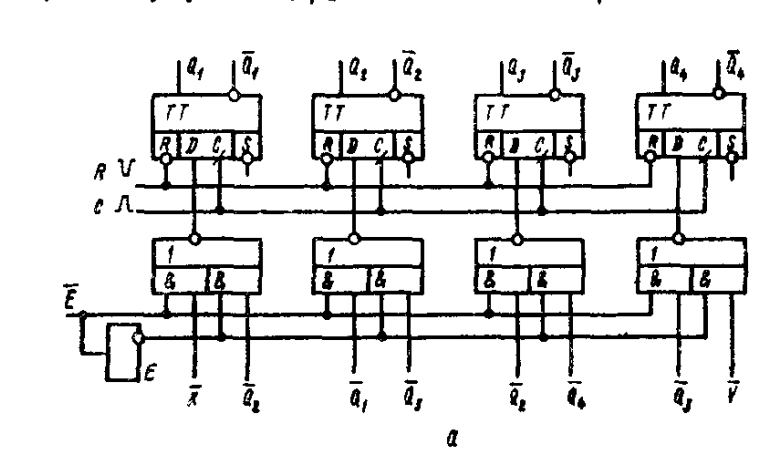
1. Побудувати схему пристрою згідно варіанта
2. Створити завдання на моделювання
3. Змоделювати залежності
4. Створити звіт(Microsoft office, file : ДA\*\*\_Призвище\_Lab\_2.doc)
5. Переслати звіт на сервер 10.12.42.155:home/visitor/Report/Da\*\*/Lab2

**Інструментальні засоби:** Система Cadence.

**ТЕОРЕТИЧНІ ВІДОМОСТІ**

Регістр зсуву - послідовний каскад тригерів, що синхронізуються одним і тим самим тактовим сигналом, в якому вихід кожного тригера сполучений з входом даних наступного тригера у каскаді, утворюючи ланцюг який зсуває на одну позицію бітову мапу що в ньому зберігається, зсуваючи на вході дані і зсуваючи на виході останній біт в мапи, при кожній подачі тактового сигналу.

Реверсивний регістр – це регістр зсуву, що може зсувати дані як у правому, так і в лівому напрямку. Відповідно, кожен вихід тригера такого регістра повинен з’єднуватися з входами попереднього та наступного тригерів регістра.



Регістри зсуву можуть мати паралельні і послідовні входи і виходи. Частіше за все використовуються конфігурації послідовний-вхід, паралельний-вихід (SIPO) або паралельний-вхід, послідовний-вихід (PISO).

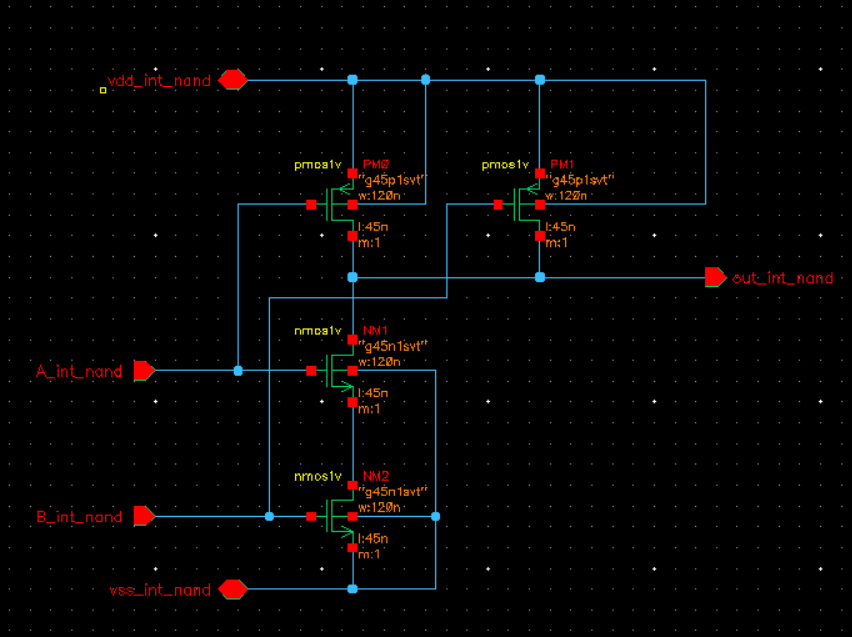
**ХІД РОБОТИ**

1. Обрахуємо значення затримки на логічних елементах:

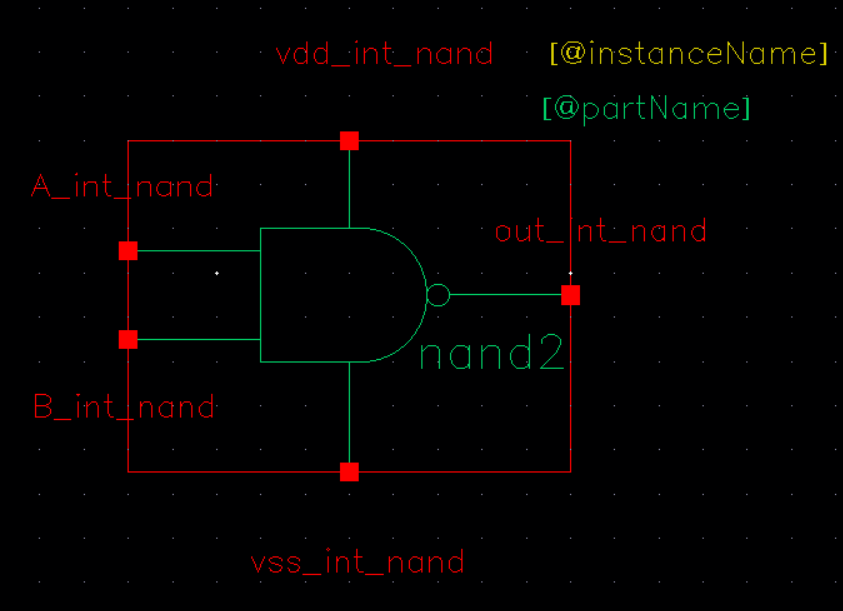
**СКЛАДОВІ ЕЛЕМЕНТИ**

Для побудови регістра знадобляться елементи NAND на 2 та 3 входи, а також, інвертор.

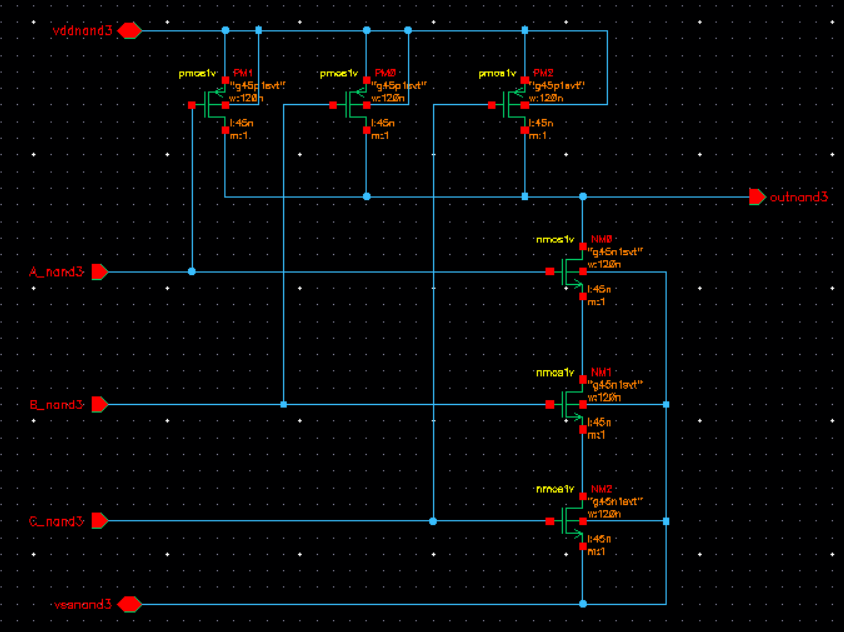
NAND2:



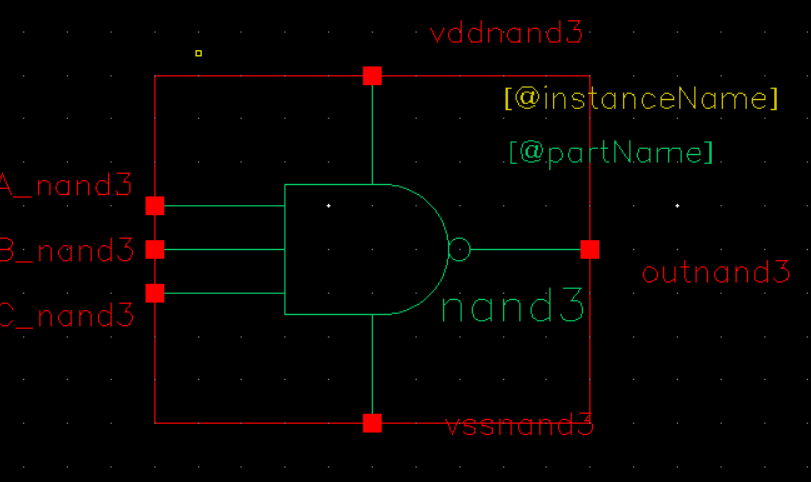
Символ:



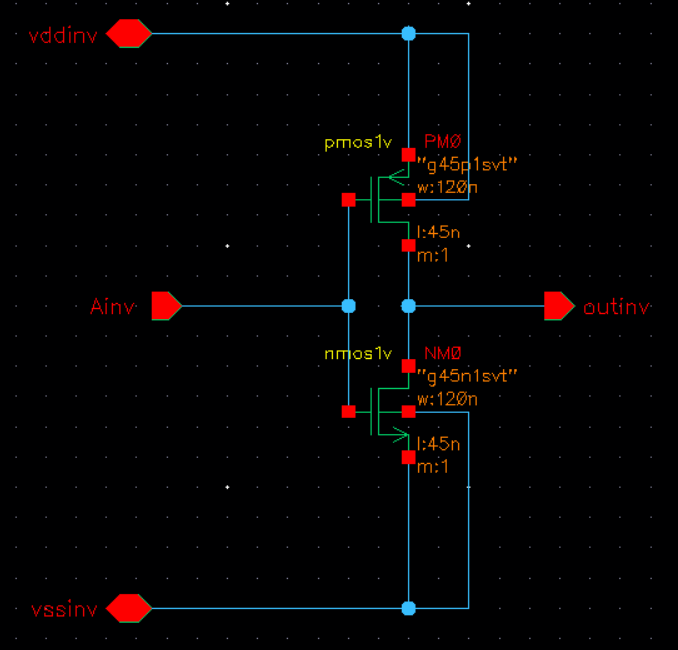
NAND3:



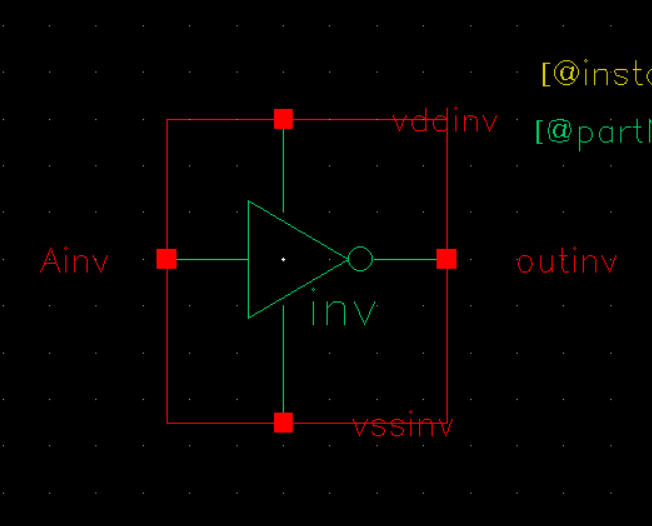
Символ:



Інвертор:

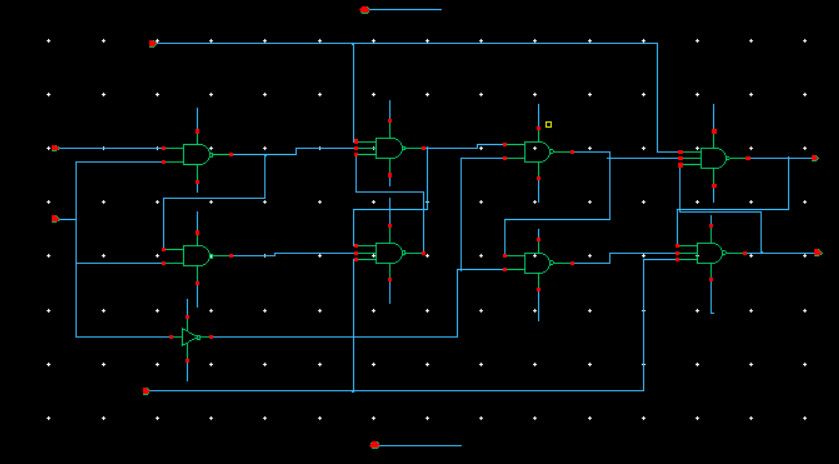


Символ:

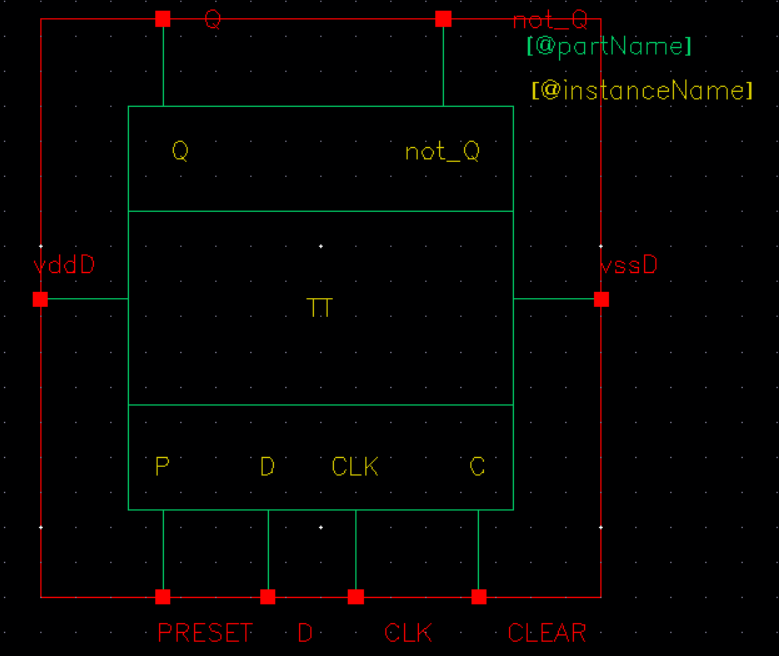


**D ТРИГЕР**

Побудуємо M-S D тригер:

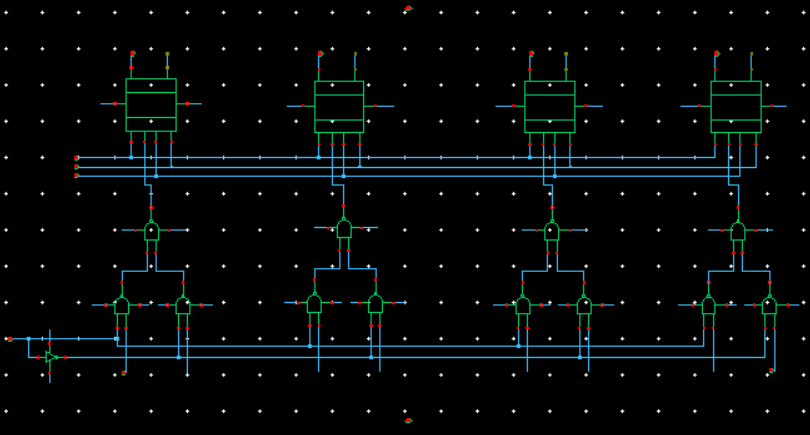


Символ:

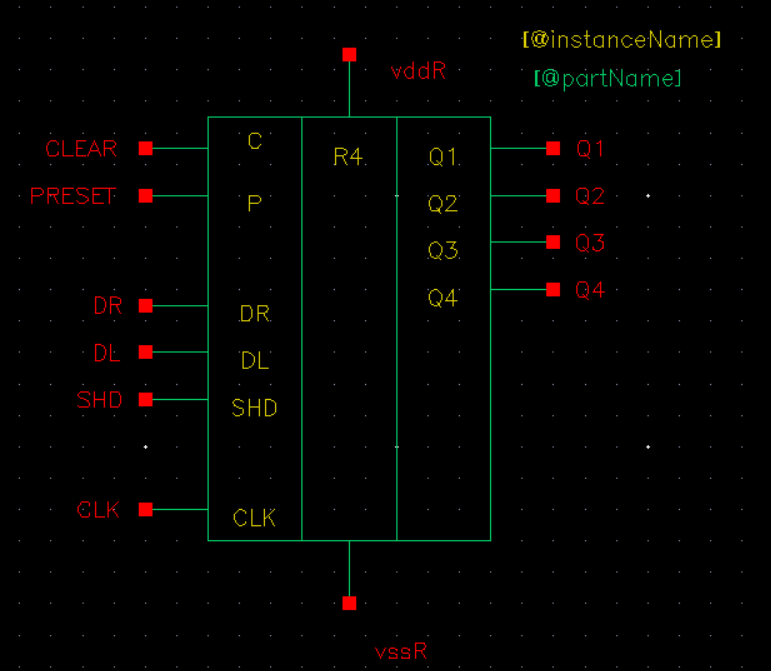


**РЕВЕРСИВНИЙ РЕГІСТР**

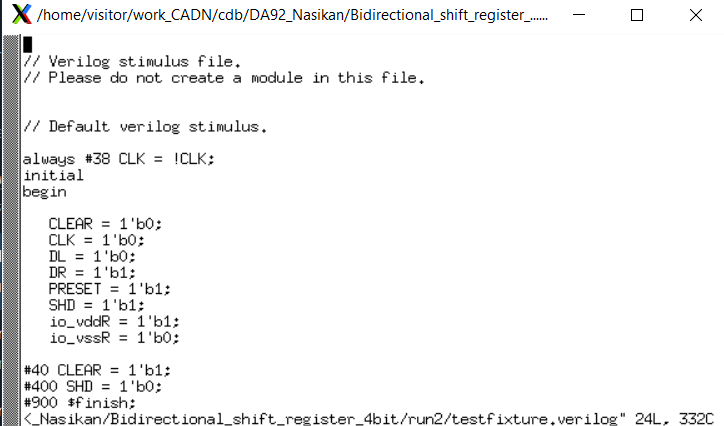
Побудуємо реверсивний регістр на 4 розряди:

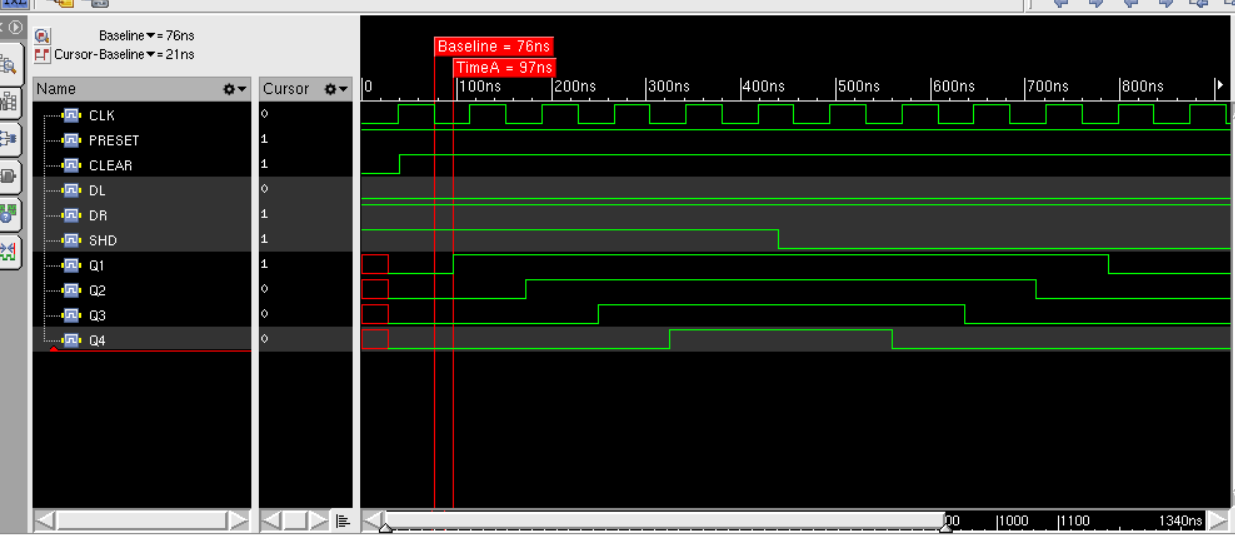


Символ:



Моделювання:





Як бачимо, даний регістр успішно зсуває розряди в обидва боки, та працює на заданій частоті.

**ВИСНОВКИ**

Під час виконання цієї лабораторної роботи було спроектовано реверсивний регістр на чотири розряди на D (M-S) тригерах. Для цього знадобилися такі логічні елементи, як інвертор та і-ні на 2 й 3 входи. Регістр був протестований засобами для симуляції NC-Verilog. Дивлячись на результати можемо впевнитися, що регістр працює коректно на заданій в умові частоті.